

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

2978996

Basic Patent (No,Kind,Date): JP 55018056 A2 800207 <No. of Patents: 002>

SEMICONDUCTOR DEVICE (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): WADA TOSHIO

IPC: \*H01L-021/88;

JAPIO Reference No: \*040048E000044;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	AppliC No	Kind	Date
<b>JP 55018056</b>	A2	800207	JP 7891090	A	780725 (BASIC)
JP 86048777	B4	861025	JP 7891090	A	780725

Priority Data (No,Kind,Date):

JP 7891090 A 780725

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

00530456 \*\*Image available\*\*

## SEMICONDUCTOR DEVICE

PUB. NO.: **55-018056** [JP 55018056 A]

PUBLISHED: February 07, 1980 (19800207)

INVENTOR(s): WADA TOSHIO

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 53-091090 [JP 7891090]

FILED: July 25, 1978 (19780725)

INTL CLASS: [3] H01L-021/88

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R044 (CHEMISTRY -- Photosensitive Resins)

JOURNAL: Section: E, Section No. 6, Vol. 04, No. 48, Pg. 44, April 12,  
1980 (19800412)

## ABSTRACT

PURPOSE: To eliminate the allowance for forming openings at both lower electrode wirings with a substrate in a semiconductor device by forming self-alignment holes insulated from a pair of electrode wirings of anodizable metals extending in parallel with each other.

CONSTITUTION: An insulating film 102 is formed on a semiconductor substrate 101, and diffusion masks 103, 104 are further formed thereon the thereby form impurity diffusion regions 105, 106 in the substrate 101. Then, the mask films 103, 104 are removed to thereby form anodizable metal such as aluminum electrodes 107, 108 and to then anodize the peripheral surface of the electrodes 107, 108, which are then coated with non-porous alumina layers 109, 110. Then, phosphorus glass layer 111 are formed further on the surface over the layers 109, 110, and a photoresist film 112 is formed on the surface of the layer 111. An opening pattern 113 is provided on the film 112 to thereby chemically selectively etch through the opening. Thus, a self-alignment hole insulated from a pair of electrode wirings 107, 108 of aluminum is perforated through an insulating film 114 on the surface of the substrate 101 to thereby electrically connect the upper layer wiring 115 to the surface of the substrate 101.

⑯ 日本国特許庁 (JP)

⑯ 特許出願公開

## ⑰ 公開特許公報 (A)

昭55—18056

⑯ Int. Cl.<sup>3</sup>  
H 01 L 21/88

識別記号

厅内整理番号  
7210—5F

⑯ 公開 昭和55年(1980)2月7日

発明の数 1  
審査請求 未請求

(全 2 頁)

## ⑭ 半導体装置

東京都港区芝五丁目33番1号日

本電気株式会社内

⑯ 特 願 昭53—91090

⑯ 出 願 人 日本電気株式会社

⑯ 出 願 昭53(1978)7月25日

東京都港区芝5丁目33番1号

⑯ 発明者 和田俊男

⑯ 代理人 弁理士 内原晋

BEST AVAILABLE COPY

## 明細書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

半導体基体の一表面に絶縁膜を介して互いに平行に伸び陽極化成可能な金属を主成分とする一対の電極配線を有する半導体装置において、前記電極配線表面の少くとも一部が陽極化成膜で被覆され、該被覆部の上面から前記電極配線の選択触点により前記電極配線間の基体表面に到る開孔を有し該開孔を通して前記基体表面との電気接続を得ると共に前記電極配線と絶縁交叉する他の導電配線を含むことを特徴とする半導体装置。

## 3. 発明の詳細を説明

この発明は半導体装置にかかり、とくに高密度集積回路に用いられる半導体装置に関するものである。

大規模集積回路は、半導体基体表面の一主表面に直交する2層の配線により基体内に形成される回路要素の所要配線を構成する。従来の集積回路では、互いに直交する層の異なる配線間の絶縁を確保するため、層間絶縁膜を用いると共に、上層の配線を基体表面に開孔を通して結合するとき、下層の配線と開孔との間隔を生産工程上の余裕度以上に大きくとる必要がある。しかしながら、この余裕度は集積回路の高密度化の妨げであり、且つ集積回路のチップ寸法の増大に伴う動作速度の低下、消費電力の増大、生産性の低下を有する。

この発明の目的は高密度の集積回路構造を有する半導体装置を提供することにある。

本発明の特徴は、半導体基体の一表面に絶縁膜である、たとえば硅素の酸化物膜を介して互いに平行に伸び陽極化成可能な金属を主成分とする一対の電極配線を有する半導体装置において、前記電極配線表面の少くとも一部が陽極化成膜で被覆され、該被覆部の上面から前記酸化物膜の選択触点により、前記電極配線間の基体表面に到る開孔

を有し、該開孔を遮して前記基体表面との電気接続を得ると共に前記導極配線と絶縁交叉する他の導極配線を含んだことである。

第1図(A)～(D)は、この発明の一実施例の主要工程における断面図である。即ち、この実施例の半導体装置はP型シリコン基体101の一主表面に選択酸化を施して1.0μmの厚いSiO<sub>2</sub>膜102を形成し、更に選択酸化に用いたSi<sub>3</sub>N<sub>4</sub>膜を選択鍛刻して拡散マスク103、104を形成し、この拡散マスクを用いて一主表面にN型領域105、106を形成する〔第1図(A)〕。次にSi<sub>3</sub>N<sub>4</sub>膜を除去し、約1μmのアルミニウムの第一層の配線電極107、108を形成し、これらの周囲表面を陥穀化成して無孔性アルミナ109、110で被覆する〔第1図(B)〕。この化成にはエチレングリコールと硼酸アンモニウムとの混液を用い、9000Åの陥穀化成膜を得る。次に表面に焼ガラス層111を400℃～450℃で気相成長し、この表面にフォトレジスト膜112を形成する〔第1図(C)〕。このレジスト膜112には一対のアルミニウムの

- 3 -

用いることもできる。

#### 4. 図面の簡単な説明

第1図(A)乃至第1図(B)はこの発明の一実施例の主要工程における断面図である。図中、101…半導体基体、107, 108…下層の陽極化成可能な配線電極、109, 110…陽極化成膜、111…焼ガラス層、113…一对の配線電極上面に跨る開孔パターン、114…SiO<sub>2</sub>膜、115…上層の配線である。

代理人弁理士内原

四

- 5 -

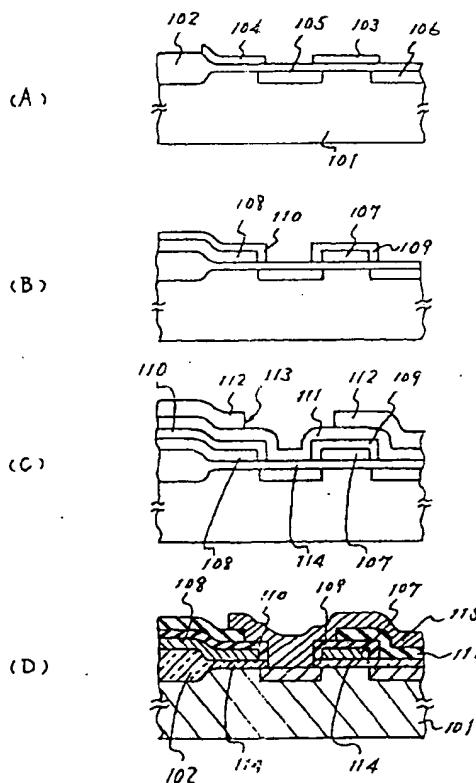
—248—

高 3.5

電極配線 107, 108 の上面に及ぶ開孔パターン 113 が設けられ、この開孔を通して弱弱酸液中で化学選択蝕刻が行なわれる。アルミニナに比して樹ガラスおよび基体表面の  $400\text{ \AA}$  の  $\text{SiO}_2$  膜は弱酸系の化学蝕刻速度が  $30 \sim 50$  , 5 倍程度であるため、開孔パターン 113 による選択蝕刻は基体表面を露出し、かつ電極 107, 108 の被覆状態を保つ。最終的に第 1 図の如きに示すようにこの実施例はシリコン基体 101 の一表面に硅素の酸化物である  $\text{SiO}_2$  膜 114 を介して互いに平行に伸びる陽極化成可能なアルミニウムの一対の電極配線 107, 108 の間に、これらの配線と絶縁された自己整合開孔を有し、上層配線 115 と基体表面との電気接続を得る(第 1 図)。

この実施例は、下層の電極配線間に基体への開孔形成するための余裕度を必要としないため、さわめて高密度の集積回路構造を実現する。陽極化成可能な金属としてはこのほかタンタルを用いることができ、又、アルミニウム、タンタルにシリコン、銅のよう其他の物質を混合した導電物質を

- 4 -



BEST AVAILABLE COPY